

明 細 書

画像信号処理装置

5 技術分野

本発明はプラズマディスプレイなどの画像信号処理装置に関する。

背景技術

- 10 プラズマディスプレイパネル（以下、「パネル」と略記する。）として代表的な交流面放電型パネルには、対向配置された前面板と背面板との間に多数の放電セルが形成されている。前面板は、1対の走査電極と維持電極とからなる表示電極が前面ガラス基板上に互いに平行に複数対形成され、それら表示電極を覆うように誘電体層および保護層が形成されている。背面板は、背面ガラス基板上に複数の平行なデータ電極と、それらを覆うように誘電体層と、さらにその上にデータ電極と平行に複数の隔壁がそれぞれ形成され、誘電体層の表面と隔壁の側面とに蛍光体層が形成されている。そして、表示電極とデータ電極とが立体交差するように前面板と背面板とが対向配置されて密封され、内部の放電空間には放電ガスが封入されている。ここで表示電極とデータ電極とが対向する部分に放電セルが形成される。このような構成のパネルにおいて、各放電セル内でガス放電により紫外線を発生させ、この紫外線でRGB各色の蛍光体を励起発光させてカラー表示を行っている。
- 15
- 20

- パネルを駆動する方法としてはサブフィールド法、すなわち、1フィールド期間を複数のサブフィールドに分割した上で、発光させるサブフィールドの組み合わせによって階調表示を行う方法が一般的である。また、サブフィールド法の中でも、階調表現に関係しない発光を極力減らして黒輝度の上昇を抑え、コントラスト比を向上した新規な駆動方法が特開2000-242224号公報に開示されている。
- 25

一般に、この種のプラズマディスプレイの駆動制御に用いる画像信号処理装置には、映像信号処理用の半導体集積回路装置（LSI）と、このLSIの外部に

設けられ、LSIの動作を制御するデータを保持する外部メモリとしてのフラッシュROMとが使用され、LSI内部のROMアクセス制御回路とフラッシュROMとの間でデータ通信を行っている。すなわち、LSI内部のROMアクセス制御回路で、ROMアドレス、ROMイネーブル信号を作成し、フラッシュROMに対してそれらの信号を転送し、その信号を受けてフラッシュROMは、ROMアクセス制御回路に対して、あらかじめ保持している動作制御用のデータであるROMデータの転送を行っている。

近年、表示装置に対して高画質化の要求が強くなるに伴い、LSIの動作を制御するフラッシュROMのデータ量が多くなってきている。また、表示装置に対して、様々なフォーマットの信号入力が必要とされ、これにより垂直ブランキング期間が短くなる場合があり、この場合にはLSIの動作を制御するために必要なデータを垂直ブランキング期間中に全て転送できないという課題が発生していた。

発明の開示

本発明はこのような画像信号処理装置において、高画質化および様々なフォーマット信号入力に伴う課題を解決することを目的とするものである。

本発明は、表示装置に映像出力データを出力する映像信号処理部およびこの映像信号処理部の動作を制御するデータを保持する制御部とを備えた半導体集積回路装置と、この半導体集積回路装置の外部に設けられかつ制御部に送るための制御データを保持するとともに制御部によりデータの読み出しが制御可能な外部メモリとを有し、外部メモリと制御部との間で転送されるデータは毎フィールド更新しなければならないデータと毎フィールド更新する必要のないデータとを有するとともに、映像出力データの垂直ブランキング期間にデータを転送するように構成し、かつ毎フィールド更新する必要のないデータは複数に分割するとともに、複数のフィールドに分けて転送するように構成したものである。

また、本発明においては、映像信号処理部に毎フィールド更新しなければならないデータを保持するメモリと、毎フィールド更新する必要のないデータを保持するメモリとを設けたことを特徴とする。

本発明によれば、表示装置を駆動させるための制御データが増えても、垂直ランキング期間に外部メモリと制御部との間でデータを転送することができる。

図面の簡単な説明

5 図 1 は本発明の一実施の形態におけるプラズマディスプレイのパネルの要部を示す斜視図である。

図 2 は同プラズマディスプレイパネルの電極配列図である。

図 3 は同プラズマディスプレイの全体構成図である。

10 図 4 は本発明の一実施の形態における画像信号処理装置を示すブロック図である。

図 5 は同装置において、データ転送を説明するための説明図である。

図 6 は同装置において、2分割してデータ転送する場合の一例を説明するための説明図である。

15 図 7 は同装置において、4分割してデータ転送する場合の一例を説明するための説明図である。

発明を実施するための最良の形態

以下、本発明の一実施の形態における画像信号処理装置について、プラズマディスプレイを例にして、図面を用いて説明する。

20 図 1 は本発明の一実施の形態によるプラズマディスプレイに用いるパネルの要部を示す斜視図である。パネル 1 は、ガラス製の前面基板 2 と背面基板 3 とを対向配置して、その間に放電空間を形成するように構成されている。前面基板 2 側から見て、前面基板 2 上には表示電極を構成する走査電極 4 と維持電極 5 とが互いに平行に対をなして複数形成されている。そして、走査電極 4 および維持電極 5 を覆うように誘電体層 6 が形成され、誘電体層 6 上には保護層 7 が形成されている。また、背面基板 3 上には絶縁体層 8 で覆われた複数のデータ電極 9 が付設され、データ電極 9 の間の絶縁体層 8 上にデータ電極 9 と平行して隔壁 10 が設けられている。また、絶縁体層 8 の表面および隔壁 10 の側面に蛍光体層 11 が設けられている。そして、走査電極 4 および維持電極 5 とデータ電極 9 とが交差

25

する方向に前面基板 2 と背面基板 3 とを対向配置しており、その間に形成される放電空間には、放電ガスとして、たとえばネオンとキセノンの混合ガスが封入されている。

図 2 はパネルの電極配列図である。行方向に n 本の走査電極 $SCN1 \sim SCNn$ (図 1 の走査電極 4) および n 本の維持電極 $SUS1 \sim SUSn$ (図 1 の維持電極 5) が交互に配列され、列方向に m 本のデータ電極 $D1 \sim Dm$ (図 1 のデータ電極 9) が配列されている。そして、1 対の走査電極 $SCNi$ および維持電極 $SUSi$ ($i = 1 \sim n$) と 1 つのデータ電極 Dj ($j = 1 \sim m$) とが交差した部分に放電セルが形成され、放電セルは放電空間内に $m \times n$ 個形成されている。

図 3 はプラズマディスプレイの全体構成図である。このプラズマディスプレイは、パネル 1、データ電極駆動回路 12、走査電極駆動回路 13、維持電極駆動回路 14、タイミング発生回路 15、AD (アナログ・デジタル) 変換器 18、フォーマット変換部 19、サブフィールド変換部 20 および電源回路 (図示せず) を備えている。

図 3 において、画像信号 sig は AD 変換器 18 に入力される。また、水平同期信号 H および垂直同期信号 V はタイミング発生回路 15、AD 変換器 18、フォーマット変換部 19、サブフィールド変換部 20 に与えられる。AD 変換器 18 は、画像信号 sig をデジタル信号の画像データに変換し、その画像データをフォーマット変換部 19 に与える。フォーマット変換部 19 は、画像データをパネル 1 の画素数に応じた画像データに変換し、サブフィールド変換部 20 に与える。サブフィールド変換部 20 は、各画素の画像データを複数のサブフィールドに対応する複数のビットに分割し、サブフィールド毎の画像データをデータ電極駆動回路 12 に出力する。データ電極駆動回路 12 は、サブフィールド毎の画像データを各データ電極 $D1 \sim Dm$ に対応する信号に変換し各データ電極を駆動する。

タイミング発生回路 15 は、水平同期信号 H および垂直同期信号 V をもとにしてタイミング信号を発生し、各々走査電極駆動回路 13 および維持電極駆動回路 14 に与える。走査電極駆動回路 13 は、タイミング信号に基づいて走査電極 S

CN1～SCNnに駆動波形を供給し、維持電極駆動回路14は、タイミング信号に基づいて維持電極SUS1～SUSnに駆動波形を供給する。

図4は本発明の一実施の形態におけるプラズマディスプレイの駆動回路部分の詳細を示すブロック図である。図4に示すように、プラズマディスプレイの駆動回路部分は、表示装置であるパネルのデータ電極駆動回路12に映像出力データを出力する半導体集積回路装置である映像信号処理用のLSI21と、このLSI21に接続されこのLSI21内部の制御部としてのROMアクセス制御回路22と制御データをやり取りするための外部メモリであるフラッシュROM23とから構成されている。前記LSI21内部には、前記フォーマット変換部19から送られてくる映像入力データを受けて画質補正の信号処理を行う画質補正回路24と、この画質補正回路24の出力データに基づきサブフィールド毎の信号を生成するサブフィールド変換回路25と、このサブフィールド変換回路25から送られてくる信号に基づき映像出力データを生成する映像信号出力回路26とからなる映像信号処理部が設けられている。

また、この映像信号処理部の画質補正回路24およびサブフィールド変換回路25は、ROMアクセス制御回路22により読み出されたフラッシュROM内に保持されているROMデータに基づいて動作が制御されるように構成されている。この映像信号処理部の画質補正回路24およびサブフィールド変換回路25それぞれには、それぞれの回路動作制御のために送られてくるROMデータを保持するためのメモリであるSRAM24aおよびSRAM25aが設けられている。

すなわち、LSI21外部のフラッシュROM23には、画質補正回路24およびサブフィールド変換回路25で必要となるデータが格納されており、垂直ブランキング期間中にLSI21内部にフィールド毎に取り込まれる。ROMアクセス制御回路22では、ROMアドレス、ROMイネーブルの信号を作成し、フラッシュROM23に対してそれらの信号を転送し、その信号を受けてフラッシュROM23は、ROMアクセス制御回路22に対してROMデータの信号を転送する。この転送されてきたROMデータは、前記画質補正回路24およびサブフィールド変換回路25のそれぞれのSRAM24a、25aに保持され、この

データに基づき画質補正回路 24 およびサブフィールド変換回路 25 の動作が制御される。

また、前記 L S I 21 は、L S I 21 へのデータの入力用の入力端子 27 a、データの出力用の出力端子 27 b、データの入出力用の入出力端子 27 c を備えており、映像信号出力回路 26 から出力される映像出力データは、出力端子 27 b および入出力端子 27 c を通して表示装置のデータ電極駆動回路 12 に送られる。また、ROM アクセス制御回路 22 と L S I 21 外部のフラッシュ ROM 23 とは、入出力端子 27 c を通して接続されており、一部の入出力端子 27 c は、前記表示装置のデータ電極駆動回路 12 およびフラッシュ ROM 23 に共通に接続されている。

そして、L S I 21 内部において、L S I 21 の ROM アクセス制御回路 22 からフラッシュ ROM 23 に ROM アドレス、ROM イネーブルの信号を転送するライン上には、L S I 21 の入力端子 27 a から送られる非同期リセット信号により制御されるバッファ 28、29 が挿入配置されている。このバッファ 28、29 は、非同期リセット信号がイネーブルになっている期間中、ROM アドレス、ROM イネーブルの信号を開放するように構成されており、このため非同期リセット信号をイネーブル状態にすることにより、その期間中、他の ROM データ書き込み装置 30 により、フラッシュ ROM 23 のデータ内容を更新することが可能である。

また、L S I 21 において、映像信号出力回路 26 から出力される映像出力データは、出力端子 27 b から表示装置のデータ電極駆動回路 12 に転送するラインと、ROM アクセス制御回路 22 からの ROM アドレスの信号と共通のラインで、セクタ 31、バッファ 28 を通して入出力端子 27 c から表示装置のデータ電極駆動回路 12 に転送するラインと、フラッシュ ROM 23 から ROM アクセス制御回路 22 に転送される ROM データの信号と共通のラインで、入出力制御手段である I/O 制御部 32 を通して入出力端子 27 c から表示装置のデータ電極駆動回路 12 に転送するラインを通して、表示装置のデータ電極駆動回路 12 に送られる。すなわち、L S I 21 の入出力端子 27 c は、映像信号出力回路 26 からの映像出力データを出力するための端子として使用するとともに、R O

Mアクセス制御回路22とフラッシュROM23との間でROMアドレス、ROMデータを転送するための端子として使用するよう構成しており、前記各データは時間軸上で多重化して送られるよう構成されている。

ここで、LSI21のROMアドレス端子、ROMデータ端子をそれぞれLSI21の映像出力データの出力端子と共用し、各データを時間軸上で多重化して送信する場合の例を図5～図7を用いて説明する。

図5Aは垂直同期信号、図5BはLSI21と表示装置およびフラッシュROM23との間の転送データ、図5Cは転送データにおけるROMデータの一例によるデータパターンを示している。図5において、有効映像期間A中は、LSI21内部の映像信号出力回路26から出力される映像出力データがLSI21外部のデータ電極駆動回路12に対して転送される。一方、垂直ブランキング期間B中は、LSI21内部のROMアクセス制御回路22からROMアドレス、ROMイネーブルの信号がLSI21外部のフラッシュROM23に対して転送される。そして、このROMアドレス、ROMイネーブルの信号を受けて、フラッシュROM23からLSI21に対して、図5Cに示すように、毎フィールド更新しなければならないデータd1-A、d1-B・・・と、毎フィールド更新する必要のないデータd2からなるROMデータが転送される。

ここで、垂直ブランキング期間B内にすべてのROMデータをLSI21に転送する必要がある。そこで、毎フィールド同一のデータd2については、複数のフィールドに分けて転送するようになれば、より短い垂直ブランキング期間でもROMデータをLSI21に転送することができる。図6および図7に、毎フィールド更新する必要のないデータd2を複数に分割するとともに、複数のフィールドに分けて転送する場合の概念を説明するための図を示している。

図6は毎フィールド同一のデータd2について、2分割して2つのフィールドに分けて転送する場合の概念を説明するための図で、図6Aに示すようなROMデータについて、図6Bのようにフィールド毎に、可変データd1-A、d1-B・・・と同一データd2からなるデータを転送するのではなく、図6C、Dに示すように、同一のデータd2を2分割してデータd2-a、d2-bとし、可変データd1-AをSRAM24aに転送するときに分割したデータd2-aをS

- RAM 25 aに転送し、次のフィールドで可変データ d 1 - BをSRAM 24 aに転送するときに、分割した残りのデータ d 2 - bをSRAM 25 aに転送するものである。最初のフィールドで可変データ d 1 - Aを転送する際にSRAM 25 aに転送したデータ d 2 - aは、次のフィールドで可変データ d 1 - Bを転送する際には更新しないでそのままSRAM 25 aに保持される。また、次のフィールドでは、データ d 2 - bのみが転送されてSRAM 25 aに保持される。そして、次の次のフィールドで可変データ d 1 - Cが転送される際に、SRAM 25 aに保持されているデータ d 2 - aとデータ d 2 - bはデータ d 2として更新される。このデータ転送を交互に繰り返すことにより、フィールド毎に同一データ d 2を分割してSRAM 25 aに転送する。

図7はフィールド毎に同一データ d 2を4分割して転送する場合の例を示す図で、図7AにROMデータを示し、図7B～Eにフィールド毎に転送するデータを示しており、データ転送の動作は上記図6の2分割する場合と同様な動作を行う。

- 15 このように毎フィールド同一のデータ d 2については、複数のフィールドに分けて転送するようにすれば、より短い垂直ブランキング期間でもROMデータをLSI 21に転送することができる。

- 20 また、上記のように、半導体集積回路装置に表示装置およびフラッシュメモリに共通に接続される端子を設け、その端子を通して表示装置に映像出力データを出力するとともに、制御部とフラッシュメモリとの間でデータを転送するように構成したもので、表示装置を駆動させるための映像データが増えても、LSIの端子数が増え、チップ面積が大きくなるのを防ぐことができる。

産業上の利用可能性

- 25 以上のように本発明によれば、プラズマディスプレイなどのデジタル表示装置の高画質化および様々なフォーマットの信号入力に適する画像信号処理装置を提供することができる。

請 求 の 範 囲

1. 表示装置に映像出力データを出力する映像信号処理部および前記映像信号
5 処理部の動作を制御するデータを保持する制御部とを備えた半導体集積回
路装置と、前記半導体集積回路装置の外部に設けられかつ前記制御部に送
るための制御データを保持するとともに前記制御部によりデータの読み出
しが制御可能な外部メモリとを有し、前記外部メモリと前記制御部との間
10 で転送されるデータは毎フィールド更新しなければならないデータと毎フ
ィールド更新する必要のないデータとを有するとともに、前記映像出力デ
ータの垂直ブランキング期間にデータを転送するように構成し、かつ前記
毎フィールド更新する必要のないデータは複数に分割するとともに、複数
のフィールドに分けて転送するように構成したことを特徴とする画像信号
15 処理装置。
2. 前記映像信号処理部に毎フィールド更新しなければならないデータを保持
するメモリと、毎フィールド更新する必要のないデータを保持するメモリ
とを設けたことを特徴とする請求項 1 に記載の画像信号処理装置。

要 約 書

映像信号処理部の動作を制御するデータを保持するROMアクセス制御回路(22)とを備えたLSI(21)と、このLSI(21)の外部に設けられかつROMアクセス制御回路(22)に送るための制御データを保持するとともに

5 ROMアクセス制御回路(22)によりデータの読み出しが制御可能なフラッシュROM(23)とを有し、フラッシュROM(23)とROMアクセス制御回路(22)との間で転送されるデータは毎フィールド更新しなければならないデータと毎フィールド更新する必要のないデータとを有するとともに、前記映像出力データの垂直ブランキング期間にデータを転送する。このような構成により、

10 垂直ブランキング期間を利用して必要なデータを確実に転送できる。

1/8

FIG. 1

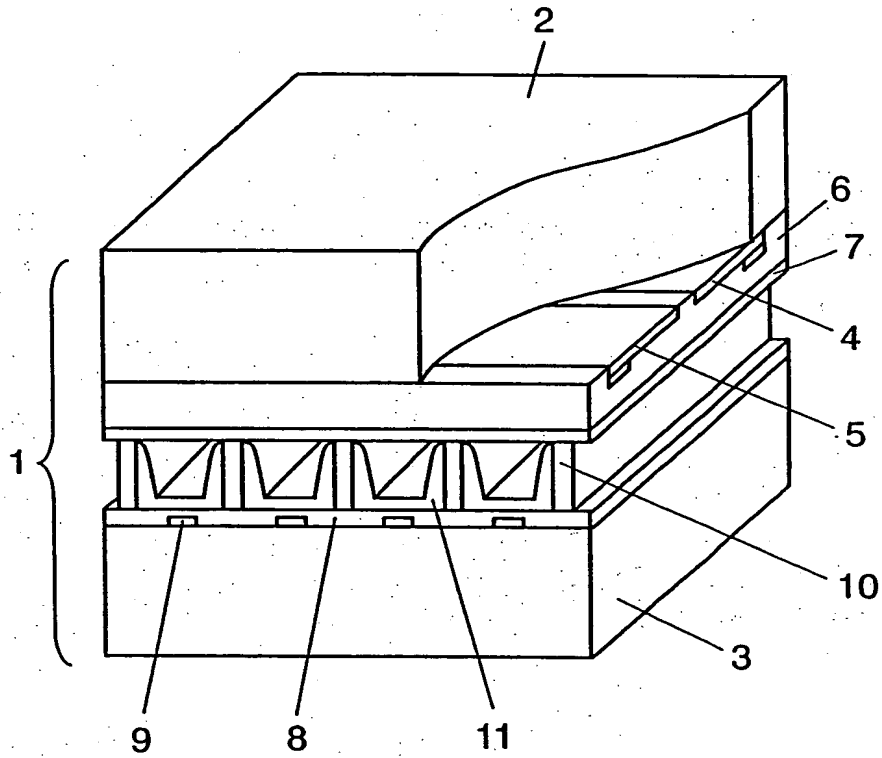


FIG. 2

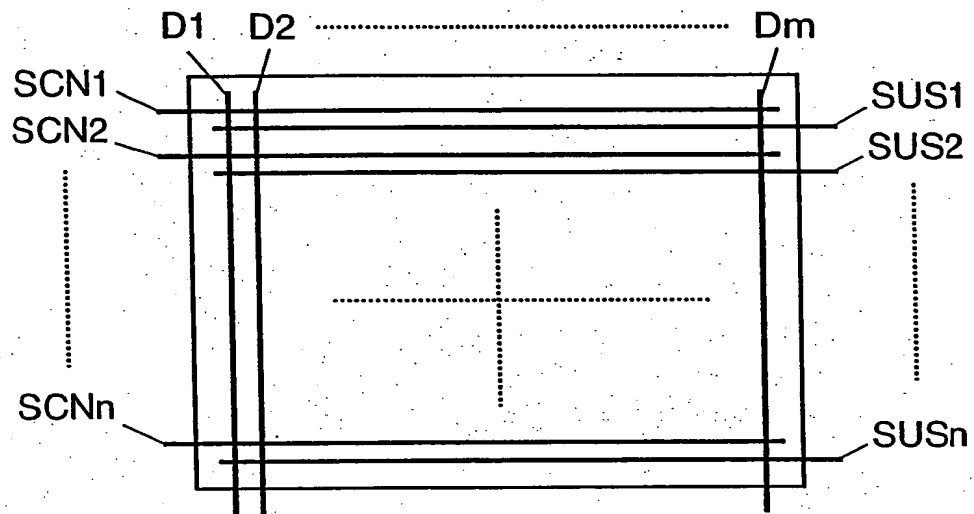


FIG. 3

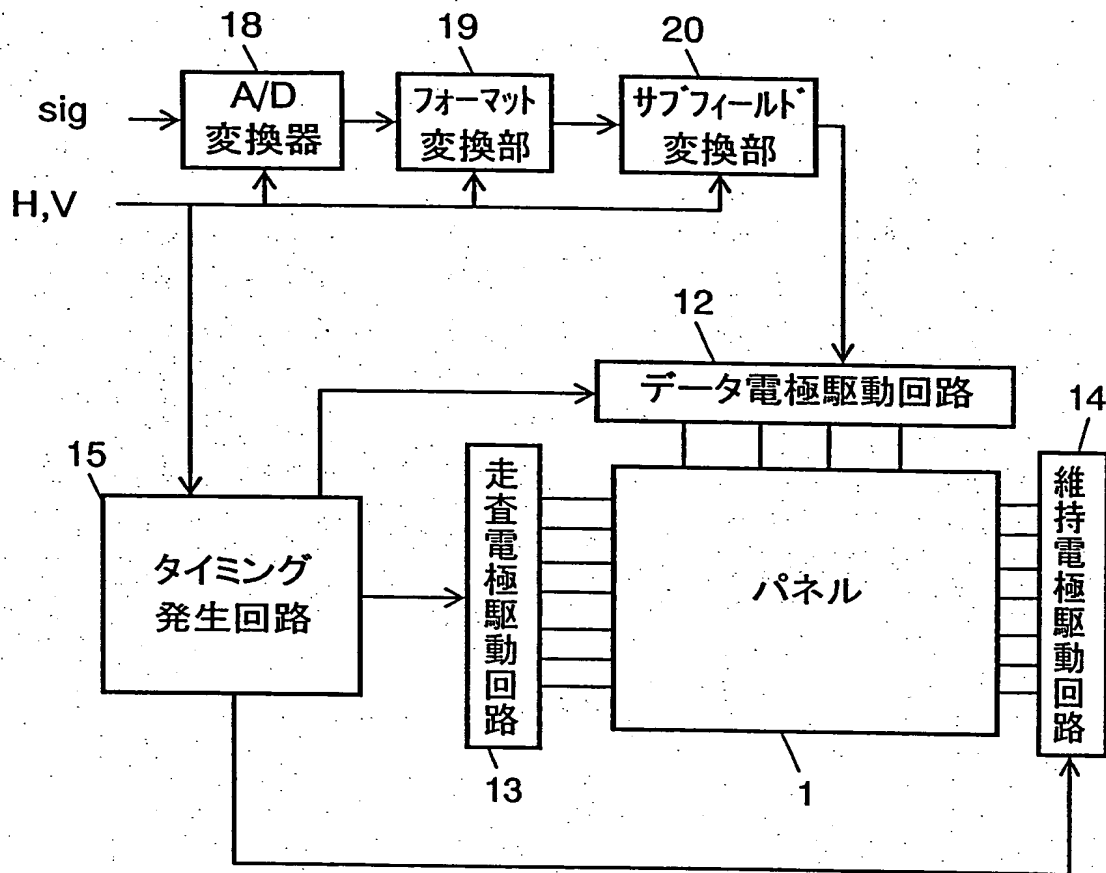
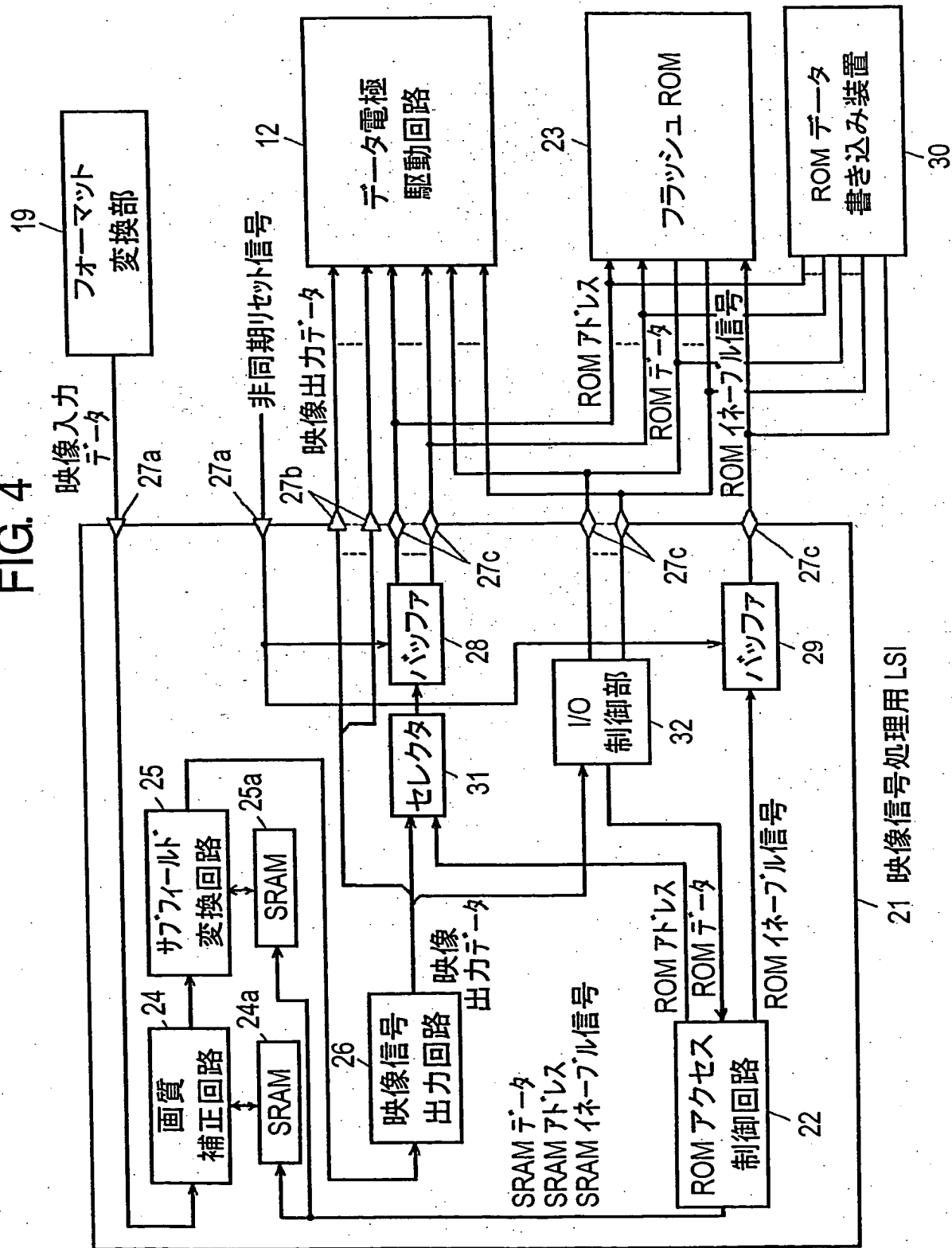


FIG. 4



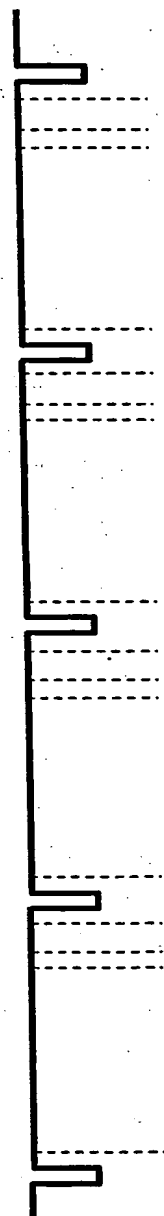


FIG. 5A

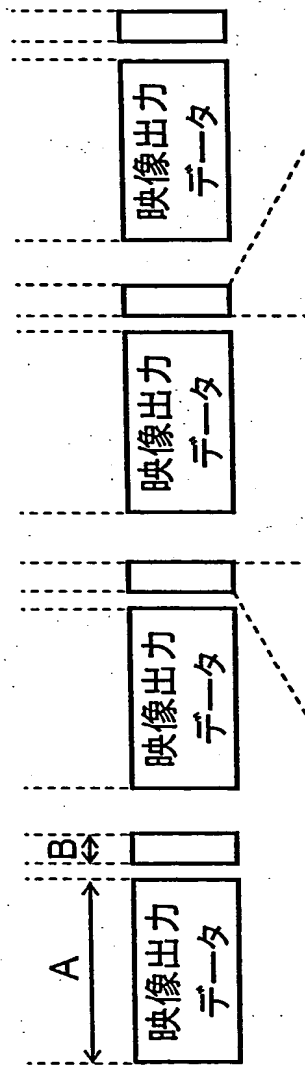


FIG. 5B



FIG. 5C

FIG. 6A

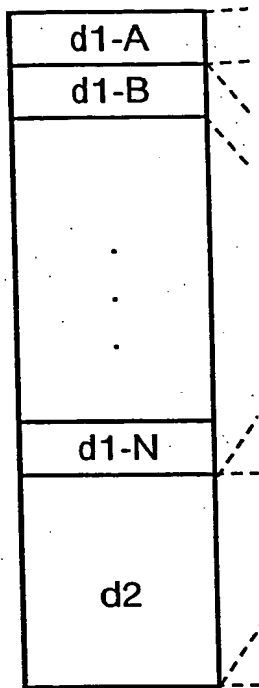


FIG. 6B

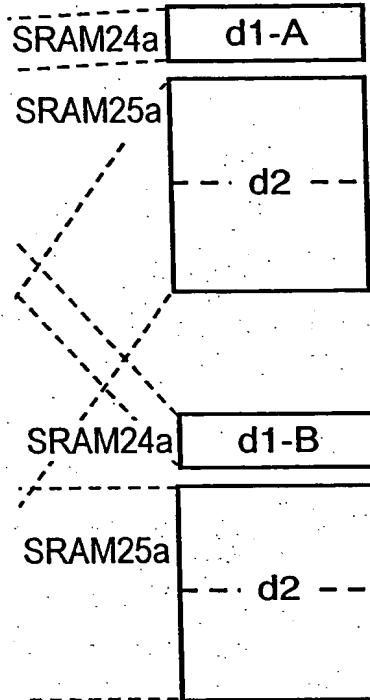


FIG. 6C

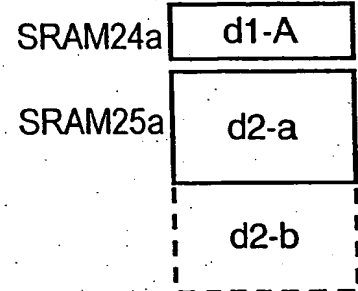


FIG. 6D

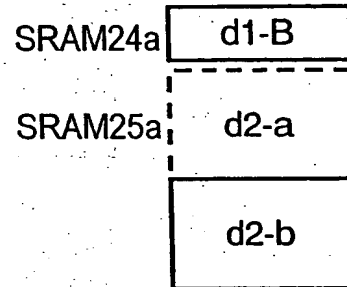


FIG. 7A

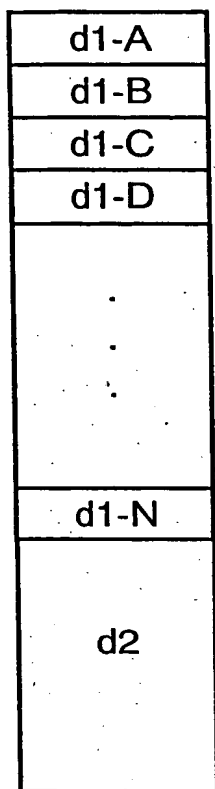


FIG. 7B

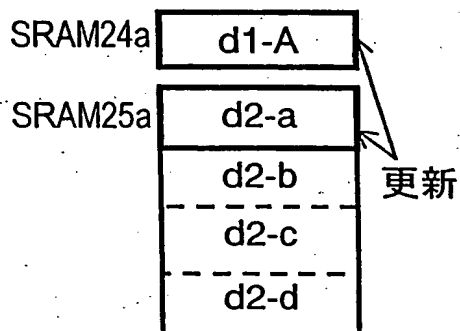


FIG. 7D

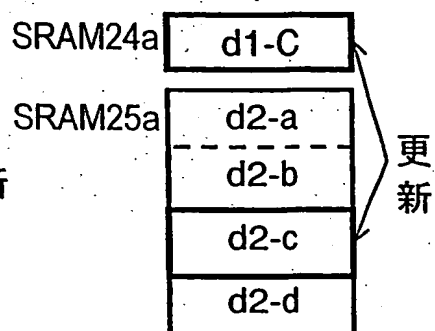


FIG. 7C

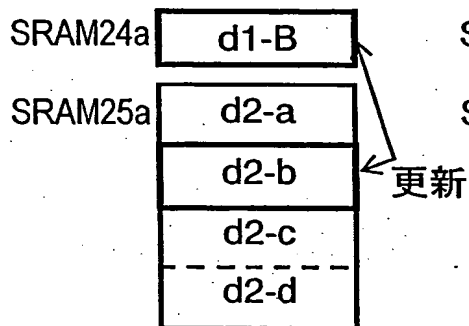
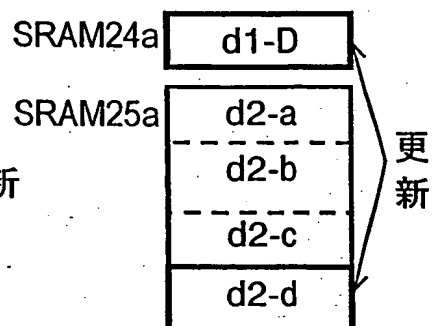


FIG. 7E



図面の参照符号の一覧表

- 21 LSI
- 22 ROM アクセス制御回路
- 23 フラッシュ ROM
- 24a、25a SRAM
- 26 映像信号出力回路
- 27c 入出力端子
- 28、29 バッファ
- 31 セレクタ
- 32 I/O 制御部